



**Karlsruher Institut für Technologie**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

**Klausur Rechnerstrukturen**  
**Sommersemester 2012**  
**Aufgabenteil**

## Aufgabe 1: Verbindungsstrukturen & Vektorrechner 10P

### Verbindungsstrukturen 5P

- a) Wieso ist die Skalierbarkeit eines 3D-Torus-Netzwerks (mit unterschiedlichen Kantenlängen) gut? Geben Sie zwei Punkte als Begründung an! 1P
- b) Wie ändern sich die Knotenzahl und der Verbindungsgrad bei der Erweiterung eines Hyperkubuses? 1P
- c) Von welchen Nachbarknoten erreicht man einen Knoten bei einem  $K$ -ären  $n$ -Kubus? Geben Sie deren Adressen an! 1P
- d) Wie sind reguläre Permutationsnetze aufgebaut? 1,5P
- e) Wie sind im Vergleich dazu irreguläre Permutationsnetze aufgebaut? 0,5P

### Vektorverarbeitung: 5P

- f) Vervollständigen Sie das begonnene Code-Fragment mittels Vektorbefehlen in Assembler. Eine Tabelle der möglichen Befehle ist auf dem Lösungsblatt mit angegeben. Die Semantik und Beispiele zur Verwendung der Befehle haben Sie in der Vorlesung und der Übung kennengelernt. Die Vektorregister können alle  $n = 64$  Werte der Arrays  $a$ ,  $b$  oder  $c$  aufnehmen. Die Startadressen von  $a[n]$ ,  $b[n]$  und  $c[n]$  stehen in zugehörigen Registern  $Ra$ ,  $Rb$  und  $Rc$ . Realisiert werden soll das folgende C-Programm durch Vektoroperationen, wobei  $c[n]$  das Ergebnis enthält: 3P

```
int i;
int a[n], b[n], c[n];
for (i = 0; i < n; i++) {
    c[i] = a[i];
    if (a[i] == 0xff) {
        c[i] = b[i];
    }
}
```

- g) Welche Funktionalität wird mit diesem Programm realisiert? Welche implizite Annahme muss hierfür gemacht werden? 1P
- h) Vektorbefehle werden oft durch ein spezielles Speichersystem mit Verschränkung (memory interleaving) und mehreren Speicherbänken unterstützt. Wie lange dauert ein Ladebefehl eines 32-elementigen Vektors bei 8 Speicherbänken und einer Latenz von 6 Zyklen 1P
- mit einem Stride von 1,
  - bei einem Stride von 8?

## Aufgabe 2: Low-Power-Entwurf & Rechnerbewertung 10P

### Low-Power-Entwurf 4P

Die folgende logische Funktion soll implementiert werden:  $\neg A \wedge B$

- Nach Anwendung der DeMorgan'schen Regel ergibt sich die folgende Umformung:  $\neg(A \vee \neg B)$ . Zeichnen Sie die Schaltbilder der zwei Möglichkeiten, die sich zur Realisierung der Schaltung ergeben. 1P
- Berechnen Sie die Signalwahrscheinlichkeiten der beiden Schaltungen basierend auf dem statistischen Modell aus der Übung. Die Eingangswahrscheinlichkeiten seien hierfür wie folgt:  $\mathbb{P}_A \text{ Eingang}=1 = \frac{3}{4}$  und  $\mathbb{P}_B \text{ Eingang}=1 = \frac{1}{2}$ . 1P
- Berechnen Sie, basierend auf den Signalwahrscheinlichkeiten der vorhergehenden Teilaufgabe der beiden Schaltungen, die jeweiligen Schaltwahrscheinlichkeiten, indem Sie die Formel aus der Übung anwenden. 1P
- Bewerten Sie die Schaltungen hinsichtlich der Low-Power-Eigenschaften. Was fällt Ihnen bei kritischer Betrachtung auf? Welche Schaltung empfehlen Sie? 1P

### Leistungsbewertung 2,5P

Sie haben für Ihre neue Rechnerarchitektur die folgenden Werte experimentell bestimmt: der Anteil der Integeroperationen ist 75 %. Der durchschnittliche CPI-Wert der Integeroperationen beträgt  $CPI_{Int} = 2$  und der der restlichen Instruktionen  $CPI_{Rest} = 4$ . Die Häufigkeit der Instruktion ADD (Integer-Addition) beträgt 50 % aller Operationen. Der CPI der ADD-Instruktion ist gleich 1,5. Sie haben nun zwei Entwurfsmöglichkeiten zur Verbesserung: entweder kann der  $CPI_{ADD}$  auf 1 gesenkt werden, oder der durchschnittliche CPI-Wert der Integeroperationen kann auf 1,5 gesenkt werden.

- Vergleichen Sie die beiden Alternativen mit dem vorherigen System, indem Sie den jeweiligen durchschnittlichen CPI-Wert berechnen. 1,5P
- Begründen Sie Ihre Entscheidung für eines der Systeme. 1P

### Fehlertoleranz 3,5P

Gegeben sei ein Rechnersystem S, dessen Komponenten zufallsverteilt mit gleicher Rate ausfallen. Die Überlebenswahrscheinlichkeit einer Komponente wird durch die Formel  $R(t) = e^{-\lambda t}$ ,  $t > 0$  beschrieben. Es sei die Überlebenswahrscheinlichkeit für das Gesamtsystem mit  $R(S, t) = 6 * R(t)^2 - 8 * R(t)^3$  bekannt. Bestimmen Sie  $\lambda$  derart, dass die mittlere Lebensdauer für das gegebene System S  $\frac{2}{3}$  beträgt.

## Aufgabe 3: Speicherhierarchie

9P

### Cache-Kohärenzprotokoll MOESI

6P

Ein Dreiprozessorsystem sei speichergekoppelt. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MOESI-Protokoll zum Einsatz. Der Cache sei initial leer. Aktionen, die durch das Cache-Kohärenzprotokoll ausgelöst werden und die eine Zustandsänderung einer Cachezeile bewirken, werden von der LRU-Strategie nicht als Zugriff gewertet.

- Vervollständigen Sie die auf dem Lösungsblatt angegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an. 4P
- Führt in diesem Fall die Verwendung des MOESI gegenüber des MESI-Protokolls zu einer Leistungssteigerung und wenn ja, warum? Geben Sie ggfs. bei Ihrer Antwort die betroffene(n) Zeile(n) an. 1P
- Welche Auswirkungen hätte es für dieses Beispiel, wenn die LRU-Strategie Zustandsänderungen durch das Cache-Kohärenzprotokoll als Zugriff berücksichtigt? Geben Sie bei Ihrer Antwort jeweils die Zeile, den betroffenen Prozessor und die veränderte Aktion sowie deren Folgen an. 1P

### Cache-Leistung

3P

Bei dem Entwurf eines Systems soll ein passender L1 Cache aus einer Anzahl von gegebenen Varianten ausgewählt werden. Das restliche System ist fest vorgegeben und besteht aus einer zwei-stufigen Cache-Hierarchie mit Anbindung an den Hauptspeicher. Der Zugriff auf die nächste Hierarchieebene findet parallel zur ersten Ebene statt. Der L2-Cache hat eine Zugriffszeit von  $t_{L2} = 25 \text{ ns}$  und eine Hitrate von 80 %, die Zugriffszeit des Hauptspeichers betrage  $t_{Mem} = 125 \text{ ns}$ .

- Zur Auswahl stehen drei L1 Cache-Varianten, die sich in Größe und Schnelligkeit unterscheiden: 2P
  - Alternative A:  $t_{A-L1} = 4 \text{ ns}$  und  $r_{A-L1} = 70 \%$ ,
  - Alternative B:  $t_{B-L1} = 6 \text{ ns}$  und  $r_{B-L1} = 80 \%$ ,
  - Alternative C:  $t_{C-L1} = 2 \text{ ns}$  und  $r_{C-L1} = 40 \%$ ,

Das System muss eine durchschnittliche Antwortzeit von höchstens  $t = 20 \text{ ns}$  erreichen, um vom Kunden abgenommen zu werden. Geben Sie die L1 Caches an, die diese Vorgabe erfüllen.

- Welches Problem stellt sich aufgrund der parallelen Anfrage der Speicherhierarchien, wenn das System zu einem Multiprozessorsystem mit gemeinsam verwendeten Speicher ausgebaut werden soll, indem mehrere Prozessoren mit einem Bus verbunden werden? 1P

---

## Aufgabe 4: Fertigung und Hardwareentwurf 10P

### Fertigungskosten 5P

Eine Wafer-Fertigungsanlage wurde von 300 mm- auf 400 mm-Wafer umgestellt. Hierbei erfolgte auch eine Anpassung des Fertigungsprozesses.

- a) Geben Sie eine allgemeine Formel zur Berechnung des Die-Yields in Abhängigkeit der Technologiekonstante  $\alpha$ , der Fläche des Dies  $a_{die}$ , sowie der Fehlerquote  $dpua$  an. 1P
- b) Geben Sie eine allgemeine Formel zur Berechnung der Anzahl an Dies per Wafer an. Aus welchen Bestandteilen besteht diese Formel und was sagen diese aus? 1P
- c) Die Kosten eines 300 mm-Wafers betragen 900 EUR und die eines 400 mm-Wafers 1000 EUR. Unter der Annahme, dass aus einem 300 mm-Wafer 300 Dies, aus einem 400 mm-Wafer 500 Dies gefertigt werden können und der Die-Yield bei den 300 mm-Wafer 0.6 beträgt: wie groß muß der Die-Yield bei den 400 mm-Wafern mindestens sein, damit die Umstellung profitabel ist? Geben Sie hierfür zunächst eine allgemeine Formel zur Berechnung der Kosten eines einzelnen Dies an. 2.5P
- d) Wie berechnen sich die Gesamtkosten eines ICs? Geben Sie hierfür eine allgemeine Formel an. 0.5P

### Entwurfsautomatisierung 5P

Mittels Hardwarebeschreibungssprachen wie VHDL oder Verilog kann das Verhalten von digitalen Schaltungen auf einem hohen Abstraktionslevel beschrieben werden.

- e) Nennen Sie jeweils zwei Vor- und Nachteile bei der Verwendung von automatischen Synthesewerkzeugen zur Erzeugung einer digitalen Schaltung. 2P
- f) Ausgehend von einer Verhaltensbeschreibung in VHDL, welche drei Syntheseschritte müssen von den automatischen Synthesewerkzeugen durchgeführt werden, um letztendes einen Chip fertigen zu können. Nennen Sie hierbei auch die aus den einzelnen Syntheseschritten generierten Beschreibungen. 3P

- 
- Aufgabe 5: Parallelverarbeitung und Architekturen** **10P**
- a) Geben Sie die Formeln für die Effizienz  $E(n)$  sowie die Auslastung  $U(n)$  an. *1P*
  - b) Wodurch wird die maximal erreichbare Beschleunigung eines parallelen Programms begrenzt? Geben Sie zusätzlich eine Formel an, die das Verhältnis zwischen dem sequentiellen und dem parallelen Anteil eines Programms beschreibt und erklären sie diese kurz. *1,5P*
  - c) Geben Sie eine Unterscheidung zwischen Prozess und Prozessor im Parallelisierungsprozess an. *1P*
  - d) Wie verhält sich dabei die Anzahl von Prozessen zur Anzahl an Prozessoren? *0,5P*
  - e) Wieso ist eine angemessene Granularität im Parallelisierungsprozess wichtig? *1P*
  - f) Nennen Sie je ein Beispiel für Programmiersprachen/-bibliotheken für das Shared-Memory-Programmiermodell und das Nachrichtenorientierte Programmiermodell. *1P*
  - g) Der Supercomputer JUGENE vom Typ IBM BlueGene/P verfügt über 5 verschiedene Verbindungsnetze. Neben dem 3D-Torus-, dem „Low Latency Global Barrier and Interrupt“-, dem 10Gbit Ethernet - und dem Control-Netzwerk gibt es ein weiteres Netzwerk. Nennen sie dieses und geben sie einen Anwendungszweck an. Geben Sie außerdem an, welcher parallelen Architektur und welcher Speicherarchitektur dieser Rechner entspricht. *2P*
  - h) Geben Sie vier Herausforderungen für den Entwurf von Exascale-Systemen an. *2P*

## Aufgabe 6: Rechnerarchitektur

11P

### Parallelismus auf Befehlsebene

6P

- a) Nennen Sie zwei Umstände, unter denen ein Befehl in einer superskalaren Befehlspipeline nach der *Completion* noch vor dem *Commitment* verworfen wird. 1P
- b) Algorithmus von Tomasulo: 5P

Untenstehend finden Sie den Zustand der Reservierungstabelle und der Registerdatei eines Superskalarprozessors nach Abarbeitung des ersten Taktes der in Listing 1 dargestellten Befehlsfolge. Geben Sie den Zustand der Reservierungstabelle, sowie der Registerdatei nach Ablauf von Takt 4, d.h. nach drei weiteren Takten, unter Berücksichtigung der in Listing 1 dargestellten Befehlsfolge wieder.

Pro Takt kann ein Befehl in die Reservierungstabelle eingetragen werden. Eine Multiplikation benötigt 6 Takte, eine Division 9 Takte und eine Addition 2 Takte.

Takt	Befehlsfolge
1	add R4, R1, R3
2	div R3, R2, R4
3	add R2, R1, R2
4	mul R1, R2, R3

Listing 1

(Format: Opcode Ziel, Quelle 1, Quelle 2)

Feld	R1	R2	R3	R4
Value	(R1)	(R2)	(R3)	–
Valid	1	1	1	0
RS	–	–	–	Int 1

Registerdatei

Unit	Empty	InFU	Op	Dest	Src1	Vld1	RS1	Src2	Vld2	RS2
Int 1	0	0	add	R4	(R1)	1	–	(R3)	1	–
Int 2	1									
Mul 1	1									
Div 1	1									

Reservierungstabelle

**Sprungvorhersage****5P**

- c) Bei einem Profiling-Lauf wird für zwei bedingte Sprünge  $S1$  und  $S2$  das auf dem Lösungsblatt angegebene Sprungmuster protokolliert. Gegeben sei ein (1,1)-Korrelationsprädiktor, mit globalen Branch History Register und einem globalen Prädiktorsatz für beide Sprünge. Das Schieberegister BHR sei mit `Not Taken`, die verwendeten 1-Bit-Prädiktoren seien jeweils mit `Not Taken` initialisiert. Füllen Sie die auf dem Lösungsblatt angegebene Tabelle aus. Kennzeichnen Sie den jeweils ausgewählten Prädiktor deutlich. 4P
- d) Welches Problem ergibt sich in der vorhergehenden Teilaufgabe durch die Verwendung eines gemeinsam verwendeten Prädiktorsatzes für beide Sprünge? 1P



**Karlsruher Institut für Technologie**  
Institut für Technische Informatik  
Prof. Dr. Wolfgang Karl

# Klausur Rechnerstrukturen

## Sommersemester 2012

### Lösungsteil

Name: \_\_\_\_\_

Vorname: \_\_\_\_\_

Matrikelnummer: \_\_\_\_\_

Tragen Sie bitte auf jedem Blatt Ihren Namen und Ihre Matrikelnummer ein. Bitte tragen Sie alle Lösungen und Rechenwege an den vorgesehen Stellen ein und geben Sie keine zusätzlichen Blätter ab, ohne dies dem Aufsichtspersonal mitzuteilen.

**Hinweis:** Bei Rechenaufgaben ist die Angabe des Rechenwegs zwingend erforderlich. Ergebnisse ohne Rechenweg werden **nicht** gewertet.

Zum Bestehen der Klausur sind mindestens 20 Punkte erforderlich.

- Ich wünsche **keine** Notenveröffentlichung per Aushang (Matrikelnummer und Note) am schwarzen Brett  
*(Bei Ankreuzen kann die Note erst in der Klausureinsicht erfragt werden.)*

Erreichte Punkte (wird vom Institut ausgefüllt):

Aufgabe	1	2	3	4	5	6
Punkte	/10	/10	/9	/10	/10	/11
Summe:						/60

**Lösung 1: Verbindungsstrukturen & Vektorrechner****10P****Verbindungsstrukturen****5P**

a) •

*1P*

•

b) • Knotenzahl:

*1P*

• Verbindungsgrad:

c)

*1P*

d)

*1,5P*

e)

*0,5P*

Name:

Matrikelnummer:

3/12

**Vektorverarbeitung:**

**5P**

ADDV.I V1,V2,V3	ADDVS.I V1,V2,F0	SUBV.I V1,V2,V3	SUBVS.I V1,V2,F0
SLTV.I V1,V2	SGEV.I V1,V2	SLEV.I V1,V2	SEQVS.I V1,F0
CVM	MTC1 VLR,R1	MFC1 R1,VLR	MOV R1,#imm

Hilfestellung: Tabelle mit Vektorbefehlen, die zur Lösung der Aufgabe zur Verfügung stehen.

f) Assemblercode:

*3P*

```
MOV R1, 64          # R1 mit 64 initialisieren
MTC1 VLR, R1       # vector-length register := 64
LV V1, Ra          # int a[n] in V1 laden
LV V2, Rb          # int b[n] in V2 laden
MOV R2, 0          # R2 mit 0 initialisieren
```

```
SV Rc, V3          # Schreiben von c[i]
```

g) Antwort:

*1P*

h) Rechnungen und Antworten:

*1P*

**Lösung 2: Low-Power-Entwurf & Rechnerbewertung** 10P**Low-Power-Entwurf** 4P

a) Schaltbilder: 1P

b) Signalwahrscheinlichkeiten: 1P

c) Schaltwahrscheinlichkeiten: 1P

d) Bewertung: 1P

Name:

Matrikelnummer:

5/12

---

**Leistungsbewertung**

**2,5P**

e) Rechnung:

*1,5P*

f) Auswahl und Begründung:

*1P*

**Fehlertoleranz**

**3,5P**

Rechnung:

**Lösung 3: Speicherhierarchie****9P****Cache-Kohärenzprotokoll MOESI****6P**

a)

Zeile	Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
			Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
0.		init	-	-	-	-	-	-
1.	3	wr 1						
2.	2	wr 2						
3.	1	rd 3						
4.	2	wr 5						
5.	3	wr 2						
6.	1	rd 1						
7.	1	rd 5						
8.	3	wr 4						
9.	3	rd 1						
10.	3	rd 2						
11.	2	rd 4						

**4P**

b) Antwort:

**1P**

Name:

Matrikelnummer:

7/12

---

c) Antwort:

*1P*

**Cache-Leistung**

**3P**

d) Berechnung:

*2P*

e) Antwort:

*1P*

**Lösung 4: Fertigung und Hardwareentwurf****10P****Fertigungskosten****5P**

a) Formel:

*1P*

b) Formel:

*1P*

c) Formel und Rechnung:

*2.5P*

d) Formel:

*0.5P*

**Entwurfsautomatisierung**

**5P**

e)

*2P*

Vorteile:

- 

- 

Nachteile:

- 

- 

f)

*3P*

Syntheseschritte:

- 

- 

- 

Beschreibungen:

- 

- 

-

**Lösung 5: Parallelverarbeitung und Architekturen****10P**

- a) • Effizienz: *1P*
- Auslastung:
- b) • *1,5P*
- Formel:
- c) *1P*
- d) *0,5P*
- e) *1P*
- f) • Shared-Memory-Programmiermodell: *1P*  
• Nachrichtenorientiertes Programmiermodell:
- g) • *2P*
- 
- h) *2P*



Name:

Matrikelnummer:

12/12

**Sprungvorhersage**

**5P**

c) Tabelle:

*4P*

	S1			Präd neu	Vhs.	S2	
	Init	Vhs.	Sprung			Sprung	Präd neu
1	( NT , NT )		T	( , )		T	( , )
2	( , )		NT	( , )		NT	( , )
3	( , )		T	( , )		T	( , )
4	( , )		T	( , )		T	( , )

d) Antwort:

*1P*